

## Transcripciones de las presentaciones de clases de teoría 2018

**IMPORTANTE:** Estas notas de clases sirven como complemento de los apuntes ya editados por esta cátedra y no deben ser considerados como el material didáctico final a estudiar. Se aprovecha en las mismas refrescar ciertos conceptos vertidos en los mismos, complementarlos y actualizarlos.

### TEMA 3: Circuitos combinatorios:

Filmina 1: Los circuitos combinatorios son aquellos circuitos digitales donde sus salidas dependen exclusivamente de la combinación dada de sus entradas. Por lo tanto existe una relación biunívoca entre las mismas. Una dada combinación de entradas dá siempre la misma respuesta en las salidas. Esto es diferente respecto a los denominados circuitos secuenciales que se verá a partir del módulo 4.

Filmina 2: El chip presentado corresponde a cuatro compuertas AND de 2 entradas cada una de tecnología CMOS.

Los circuitos mostrados cumplen con esta función: el primero es una NAND seguida de una negación (compuerta inversora), mientras que el segundo circuito sale de aplicar De Morgan.

La tabla de verdad que se muestra (que aparece en las hojas de datos de dicha compuerta) sirve para mostrar la función lógica que cumple la misma.

El diagrama de tiempos dibujado corresponde a las diferentes salidas que puede obtenerse con todas las combinaciones posibles de lograr entre las entradas A y B.

En este diagrama (no el suministrado en la hojas de datos), sin embargo, no se ha tenido en cuenta los tiempos de retardo que existen en todo dispositivo real, por lo cual, la salida responderá en este caso ideal, en tiempo 0 si las entradas permiten algún cambio en su estado.

Filmina 3: Este caso, similar al de la filmina anterior, describe el comportamiento de una compuerta NAND de 2 entradas, mostrando un chip real que tiene 4 compuertas de este tipo de 2 entradas cada una.

Filmina 4: Lo mismo respecto de una compuerta NOR de 2 entradas, dibujado el circuito aplicando De Morgan, la tabla de verdad y el diagrama de tiempos correspondiente.

Filminas 5 a 7: Se presentan los casos de compuertas OR, inversor y OR-Exclusiva.

NOTA: Como se verá en el capítulo de Familias Lógicas, existen otras alternativas de construcción de funciones lógicas como es el caso de la Or-exclusiva. Por ahora consideraremos que se puede generar con inversores, compuertas AND y OR.

Filminas 8 a 11: Aquí se introduce el concepto de retardos de tiempo de una compuerta ó dicho de otra manera, velocidad de respuesta ante una excitación.

Como en la realidad, toda compuerta lógica está formada por componentes físicos (ya sea mecánicos, eléctricos, electrónicos, magnéticos, ópticos, etc..que dependen de la tecnología empleada) existirá un tiempo de respuesta finito durante el cual la salida no cambiará su estado. Si bien hoy en día se consiguen tiempos de retardo del orden del picosegundo, en tecnologías todavía usadas tenemos valores de algunos cientos de milisegundos en dispositivos mecánicos y desde varios cientos de nanosegundos en compuertas electrónicas de primera generación.

Como se verá mas adelante en el capítulo de circuitos secuenciales (Flip-Flops, contadores, etc..) los retardos acumulados y trasladados por la existencia de realimentaciones entre salidas y entradas de señal, pueden generar respuestas indeseadas en uno o varios componentes que a su vez pueden desencadenar en fallas en el funcionamiento de todo el sistema en cuestión.

Si bien no es posible eliminar dichos retardos, el control de los mismos es de vital importancia en aquellos casos donde las velocidades en juego sean comparables con los mismos.

Filmina 12: El diagrama de tiempos mostrado en el caso de este inversor es el que aparece en las hojas de datos de toda compuerta y otros circuitos más complejos.

Según el fabricante y tecnología de construcción de la que se trate, pueden variar las referencias de cómo medir dichos tiempos.

Generalmente (como se verá en "Familias Lógicas" ) los tiempos de consideración son dos: uno es el tiempo de reacción de la salida (aquí identificado como  $t_{PHL}$  y  $t_{PLH}$ ) y el otro es el tiempo en que se tarda en pasar de un estado a otro (tiempo de subida y tiempo de bajada).

Como es de esperarse, para el caso simple de una compuerta inversora no es posible que la misma funcione correctamente si por ejemplo excitáramos a la entrada con una señal tipo onda cuadrada cuyo período fuera menor a la suma de estos 4 tiempos.

Para dar una idea de la importancia de este parámetro, los simuladores lógicos de PC que se emplean para determinar como funciona un circuito lógico, tienen en cuenta dentro de cada modelo los tiempos de retardo.

A fin de simplificar el cálculo de los mismos en circuitos digitales, se considera sólo un retardo único donde la forma de onda de las excitaciones y salidas de cualquier componente, son siempre ondas cuadradas donde uno pasa de un nivel lógico a otro en un dado tiempo

denominado “tpd” y de forma abrupta (flancos verticales), el cual obviamente variará de acuerdo al dispositivo en cuestión.

Filmina 13: Según el tipo de señales que manejen los multiplexores, tenemos aquellos denominados analógicos y los digitales. Los primeros tienen utilización primordialmente en adquirentes de datos y otras aplicaciones donde se deben seleccionar una señal analógica de varias posibles.

En el segundo caso, las señales involucradas son todas digitales.

En ciertas aplicaciones en comunicaciones de datos se emplean conjuntamente con los multiplexores digitales, los denominados demultiplexores, quienes realizan la función inversa, es decir, seleccionar por cual salida de varias una entrada saldrá.

Filmina 14: Se muestran dos casos extremos, por un lado un MUX simple, de K entradas de datos de 1 bit cada una y una salida de 1 bit.

Por el otro un MUX complejo donde hay también K entradas pero cada una está formada por m bits y hay una salida, también de m bits. Siempre la salida contendrá el mismo número de bits que la de las entradas ( m).

Por ejemplo si  $K=2$  y  $m=8$  tendremos un MUX que seleccionará dos posibles entradas de 8 bits cada una. La seleccionada saldrá por los 8 bits de la salida.

Filmina 15: Un esquemático de un MUX de 4:1 (4 entradas y una salida). Formado por compuertas AND, OR e inversores.

Se verá en Familias Lógicas que existen otras formas de construir MUXs empleando la tecnología CMOS con ventajas interesantes desde el punto de vista de densidad de integración y velocidad.

Filmina 16: Desde un punto de vista Booleano, un MUX es un generador de funciones ya que si introducimos las variables de una función por las entradas de selección, tendremos que dependiendo de los estados lógicos de las entradas de datos, podremos incorporar a la salida de la función lógica, ninguno, algunos o todos los minterminos de la misma.

Si la entrada  $m_0$  es “1” y las otras “0”, la salida responde a la ecuación  $A/B$ .

Dependiendo de la cantidad de entradas de selección de datos, es la cantidad de variables de entrada que se pueden emplear para generar una función lógica.

Un MUX de 16 entradas de datos (o lo que es lo mismo, 4 líneas de selección) podrá generar cualquier función de hasta 4 variables.

Filmina 17 y 18: El esquemático corresponde a un MUX de tecnología CMOS de alta velocidad, el 74HC151. Este MUX es 8:1, con sus correspondientes entradas de datos, de selección y salida, pero posee además una salida negada y una entrada de habilitación.

Dicha entrada permite por ejemplo forzar a la salida a ponerse siempre a "0" independientemente si hay una entrada de datos seleccionada con un "1".

Es muy común encontrar circuitos que tengan este tipo de entradas o salidas auxiliares, lo que le dá mayor flexibilidad a los diseños.

Como en la mayoría de las hojas de datos de los circuitos digitales, aparece una tabla de verdad que explica como funciona.

En este caso "L" significa nivel lógico "0", "H" nivel lógico "1" y "X" don't care (no importa), que significa que dá lo mismo sea "0" ó "1" ya que no va a cambiar el resultado.

En este caso particular, si la entrada /E es "H", todas las compuertas AND tendrán una entrada "L" por lo que sus salidas serán todas en bajo y nunca responderán a las entradas de datos al igual que la salida que siempre vé 8 señales de la OR en "L".

Filmina 19: Una aplicación muy ampliamente utilizada de MUX's en circuitos lógicos programables, es como selector de señales. En el ejemplo se tiene una señal de reloj que por un lado entra a un circuito divisor de frecuencia y por el otro va a una entrada de datos de un MUX 2:1.

Las salidas de dicho divisor de frecuencia, que en este caso son varias van a otro MUX y su salida a la otra entrada de datos del MUX 2:1.

Con este esquema, es posible a la salida del último MUX, seleccionar la señal de reloj original ó una de varias señales ya divididas en frecuencia, obteniendo así un circuito generador de reloj programable.

Filmina 20: En tecnología CMOS, se pueden fabricar llaves electrónicas analógicas comandadas digitalmente, es decir que uno puede abrir o cerrar esa llave mediante una entrada de control, aplicando un "1" o un "0".

Se llaman analógicas porque la entrada a esa llave puede ser una señal analógica (por ejemplo una tensión sinusoidal) dentro de los rangos permitidos según las hojas de datos. Si está cerrada, la salida propagará dicha señal.

Además, otra característica importante es que la entrada y salida son conmutables, es decir, se puede entrar con tensión por la salida y obtener la señal por la entrada. Esto se llama bidireccionalidad.

En el ejemplo tenemos un circuito integrado (CI) con 4 llaves analógicas independientes, cada una comandada por una entrada digital propia.

EJERCICIO: Construyan con este CI y lógica adicional, un MUX analógico 4:1.

PREGUNTA: Pueden hacer un DeMUX analógico 1:4 con ese mismo esquema?.

Filmina 21: Como toda llave, existe un valor de resistencia eléctrica estando cerrada (on) y otro estando abierta (off). Como estas llaves están construidas con tecnología CMOS, sus valores de resistencia no son nula para R(on) e infinita para R(off).

La R(on) es de cientos de Ohms y tiene cierta variación con la tensión de entrada y la temperatura ambiente.

Además existe lo que se denomina "channel crosstalk" y es la inducción de señal de una llave a otra.

Estos parámetros son importantes de tener en cuenta a la hora de hacer diseños como por ejemplo de conmutadores de señales de audio y/o video.

Filmina 22 y 23: Este es un claro ejemplo de un MUX basado en llaves analógicas y lógica, el cual dada la bidireccionalidad permite ser utilizado como un demultiplexor de 1:N (una entrada de datos y N salidas de datos).

Filmina 24: Como se explicó un DeMUX es un circuito que realiza la operación inversa del MUX, es decir un selector de señales pero donde se elige dada una sola entrada por cual salida va a propagarse. Dicha selección se realiza según la combinación lógica elegida de las entradas de selección.

Al igual que el MUX genérico, un DeMUX genérico tendrá un BUS de entrada de m bits y K salidas, cada una de m bits de ancho.

Filmina 25: Este esquemático muestra el diseño del circuito de un DeMUX digital basado en compuertas básicas. En "Familias Lógicas" se verá como es posible empleando tecnología CMOS, simplificar dicho circuito.

En este caso, se emplean sólo compuertas AND e inversores, donde la entrada de datos está presente en todas las compuertas y se propagará sólo por aquella que sea convenientemente habilitada.

Filmina 26: El circuito indicado corresponde a un ejemplo comercial de un decodificador.

Un decodificador es un circuito que no tiene entrada de datos pero sí líneas de selección y salidas. Responde sus salidas a una dada tabla de verdad según la combinación aplicada a esas entradas de selección.

El 74HC138 es en principio un **decodificador** de 8 salidas (O0 a O7) activas en nivel bajo y 3 líneas de selección (A0,A1, y A2 con A0 la menos significativa y A2 la más significativa).

Su tabla de verdad impone que cuando una salida es seleccionada, ésta se pone en "0" mientras que todas las demás quedan en "1".

Para que ello funcione deberán estar las 3 entradas auxiliares de habilitación /E1, /E2 y E3 en "0", "0" y "1" respectivamente. De esta manera se pondrá un "1" en todas las compuertas NAND permitiendo que las otras entradas a ellas puedan definir el estado lógico respectivo.

Si cualquiera de estas entradas de habilitación tuvieran otro nivel lógico, haría que todas las salidas de datos estén permanentemente en "1" independiente mente de las entradas de selección A1, A2 y A3.

Por ejemplo, si queremos que la salida O4 esté en "0", debemos poner /E1 /E2 E3 = 001 y A2A1A0 = 100.

**Funcionamiento del 74HC138 como DeMUX digital:** Si por ejemplo utilizáramos la entrada /E1 como entrada de datos, pusiéramos /E2 E3 = 01, entonces dependiendo de A2A1A0 tendremos la posibilidad de elegir el camino de salida de la señal que se inyecte por /E1. La misma saldrá por alguna de =0 a O7 tal cual entró por /E1.

Filmina 27 y 28: Este circuito genera a la salida un código de 4 bits tal que dependiendo de la combinación entre las 9 entradas de datos, pondrá un código previamente definido tal que indentifique de las entradas presentes (esto significa aquí que estén con un "0") cual es la que tiene más prioridad. Para ello aquí se considera que la 8 es la de mayor prioridad y en forma descendente hasta la 0 con la menor prioridad).

Como ejemplo, toda vez que la /A8 esté en "0", el código siempre indicará esta entrada sin importar que pase con las demás. Por el contrario, sólo se indicará el código correspondiente a la entrada /A0 cuando no estén presentes ninguna de las otras 8 entradas (desde /A1 hasta /A8 todas en "1").

Filmina 29 a 31: Barrel shifter es un circuito combinatorio que tiene N entradas de datos, N salidas de datos y M entradas de selección. Dichas entradas de selección sirven para definir de que forma se van a desplazar espacialmente las entradas a las salidas.

Según esto, existen Barrel-shifter lógicos ó aritméticos. Los primeros sirven para correr espacialmente los N bits a la izquierda o a la derecha un cierto número de posiciones donde se forma un circuito cerrado entre el bit más significativo (MSB) y el menos significativo (LSB).

Los aritméticos permiten hacer corrimientos llenando con "0" los bits ya movidos, lo que permite realizar multiplicaciones (si movemos todo hacia la izquierda) o divisiones (hacia la derecha) binarias en potencias de 2. Esto se verá con más detalle en "Circuitos Aritméticos".

NOTA: Se verán ejemplos de aplicación de los Barrel-shifter en el módulo "Circuitos Aritméticos".

Filmina 32: Este circuito es un comparador de magnitud entre dos grupos de bits (en este caso 8 bits) denominados P y Q tomados como números binarios sin signo. Dependiendo de si P es mayor, igual o menor a Q, la salida  $/(P=Q)$  se pondrá en "L" si son iguales ó en "H" si son distintos. Observar que para ello se emplean varias compuertas OR-Exclusivas para ir definiendo bit a bit si hay o no igualdad.

Filmina 33: Este decodificador BCD a 7 segmentos, permite traducir un número escrito en formato BCD en otro que emplea 7 líneas de activación de diodos emisores de luz (LED) a fin de iluminar convenientemente a 7 segmentos que den un representación gráfica ( numérica) de la combinación binaria de entrada.

Este chip en particular sirve para indicar sólo un dígito decimal. Posee entradas auxiliares aparte de las 4 de datos (A, B, C y D) que permiten por ejemplo:

- probar si los segmentos se iluminan bien (con la entrada de "Lamp Test": /LT)
- apagar todos los segmentos (con /BI).
- congelar la presente indicación (con "Latch Enable": LE).

Filmina 34: En la última década es muy normal el resolver funciones lógicas basándose en el empleo de Multiplexores.

En el ejemplo 1 se resuelve una función donde las variables lógicas se ingresan en las líneas de selección del MUX (A y B), mientras que en las entradas de datos al mismo, se establece si un mintermino existe o no en dicha función.

Aquí sólo dos minterminos aparecen en la misma (0 y 3) y por ende las entradas asociadas deben tener un "1", mientras que en las entradas donde esos minterminos no aparecen en la función, deberán tener un "0" (minterminos 1 y 2 ó lo que es lo mismo entradas de datos 1 y 2).

De esta manera un MUX 4:1 puede resolver cualquier función lógica de 2 variables sin lógica combinatoria adicional.

Filmina 35: En este caso es posible resolver una función de 3 variables con un MUX 4:1 (de 2 líneas de selección) ya que la tercer variable puede ser incorporada en las líneas de datos.

Filmina 36: En este ejemplo se da un caso general de como se puede con un MUX 4:1 (2 líneas de selección) y un negador, resolver cualquier función de 3 variables.

NOTA 1: Dado un MUX con N líneas de selección, se podrán resolver cualquier función lógica de N variables.

NOTA 2: Con un MUX de N líneas de selección y un negador, se podrán resolver cualquier función lógica de N+1 variables de entrada.